

Semiconductor device and method for fabricating the same

Publication number: CN1119347 (A)

Publication date: 1996-03-27

Inventor(s): KIM JAE KAP [KR]

Applicant(s): HYUNDAI ELECTRONICS IND [KR]

Classification:


- international: *H01L21/28; H01L21/74; H01L21/762; H01L21/02; H01L21/70;* (IPC1-7): H01L27/086; H01L21/8232


- European: H01L21/74; H01L21/762C8


Application number: CN19951006329 19950608


Priority number(s): KR19940012821 19940608


Also published as:

 CN1037923 (C)

 GB2290165 (A)

 US5525532 (A)

 KR0131723 (B1)

 DE19520958 (A1)

Abstract not available for CN 1119347 (A)

Abstract of corresponding document: **GB 2290165 (A)**

A CMOS device comprises a P type semiconductor substrate (11), first and second P-wells (13A, 13B) and an N-well (12) between the first and the second P-wells. Trench element-isolating films (10) are provided for electrically separating the wells from each other and the first P-well (13B) from the P type semiconductor substrate. An N type buried region (12A) is formed below the first P-well (13B) between the trench element-isolating films (10). The device is suitable for high integration and has an improved operating speed. The trench element isolating films (10) have been formed by forming spaced trenches in the substrate and at least partially filling each trench with an insulating material.

Data supplied from the **esp@cenet** database — Worldwide



[12] 发明专利申请公开说明书

[21]申请号 95106329.4

[51]Int.Cl⁶

H01L 27/085

[43]公开日 1996年3月27日

[22]申请日 95.6.8

[30]优先权

[32]94.6.8 [33]KR[31]94-12821

[71]申请人 现代电子产业株式会社

地址 韩国京畿道

[72]发明人 金载甲

[74]专利代理机构 北京市中原信达知识产权代理公
司

代理人 余 滕

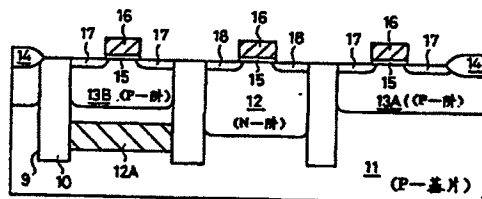
H01L 21/8232

权利要求书 4 页 说明书 6 页 附图页数 4 页

[54]发明名称 半导体器件及其制造方法

[57]摘要

一种半导体器件包括：一 P 型半导体基片、第一和第二 P 阱、介于第一和第二 P 阱之间的 N 阱、用于使各阱相互电隔离及使第一阱与 P 型半导体基片电隔离的深槽元件隔离膜、以及在第一 P 阱之下所形成的介于深槽元件隔离膜的 N 型隐埋区，它适合于高集成化，并改善运作速度。



权利要求书

1. 一种半导体器件,该器件包括:

一个第一导电类型的半导体基片;

在所说的半导体基片的预定面积内所形成的一个第二导电类型的阱区;

第一导电类型的一个第一阱区和第一导电类型的一个第二阱区,它们形成在除所述半导体基片的所述第二导电类型的所述阱区的相对侧面之外的位置上;

分别形成在所说的第二导电类型的阱区和所说的第一导电类型的第一阱区之间、在所说的第二导电类型的阱区和所说的第一导电类型的第二阱区、以及在所说的第一导电类型的第二阱区和所说的第一导电类型的半导体基片之间的各边界上的深槽元件的隔离膜;以及

在所说的第一导电类型的第二阱区之下所形成的第二导电类型的隐埋区,用于使所说的第二阱区与所说的第一导电类型的半导体基片的电隔离。

2. 一种根据权利要求1的半导体器件,其中所说的第一导电类型是P型,而所说的第二导电类型是N型。

3. 一种根据权利要求1的半导体器件,其中所说的深槽元件隔离膜比所说的第二导电类型的阱区深,以便所说的第二导电类型的阱区与所说的第一导电类型的第一阱区及所说的第一导电类型的第二阱区电隔离,并使所说的第二导电

类型的阱区侧表面与邻近的半导体基片电隔离。

4. 一种根据权利要求1的半导体器件,其中所说的第一导电类型的第一和第二阱区处于比所说的第二导电类型的隐埋区浅的位置。

5. 一种根据权利要求1的半导体器件,其中所说的第二导电类型的隐埋区介于所说的深槽元件隔离膜之间且位于所说的第一导电类型的第二阱区之下。

6. 一种半导体器件,该器件包括:

一个第一导电类型的半导体基片;

在所说的半导体基片预定面积内所形成的一个第二导电类型的阱区;

一个第一导电类型的第一阱区和一个第一导电类型的第二阱区,它们形成在除所述半导体基片的所述第二导电类型的所述阱区的相对侧面之外的位置上;

分别形成在所说的第二导电类型的阱区和所说的第一导电类型的第一阱区之间、在所说的第二导电类型的阱区和所说的第一导电类型的第二阱区之间、以及在所说的第一导电类型的第二阱区和所说的第一导电类型的半导体基片之间的各边界上的深槽元件隔离膜;

在所说的第一导电类型的第二阱区之下所形成的第二导电类型的隐埋区,用于所说的第二阱区与所说的第一导电类型的半导体基片的电隔离;

在所说的第一导电类型的第一阱区上、在所说的第一导电类型的第二阱区上、及在所说的第二导电类型的阱区上所

形成的均由一栅氧化膜和一栅电极构成的各个栅结构;以及

MOSFET 结构,其中的第二导电类型的两个源/漏极分别形成在所说的第一导电类型的第一阱区及所说的第一导电类型的第二阱区,而第一导电类型的一个源/漏极形成在所说的第二导电类型的阱区。

7. 一种制造半导体器件的方法,该法包括以下各工艺步骤:

刻蚀第一导电类型的半导体基片的预定面积,形成用于不同导电类型阱区之间隔离的深槽;

用绝缘膜填充所说的各深槽,形成深槽元件隔离膜;

在被所说的深槽分割的半导体基片第一区段内形成第二导电类型的阱区;

在所说的半导体基片的第二区段形成第二导电类型的隐埋区,所说的第二区段与第一区段相邻但在电学上是隔离的。

在所说的半导体基片的第三区段内形成第一导电类型的第一阱区,同时在所说的第二区段的隐埋区之上形成第一导电类型的第二阱区,所说的第三区段与所说的第一区段相邻但在电学上是隔离的。

8. 一种根据权利要求 7 的方法,其中所说的第二区段的阱区深约 $1.5 \sim 5.0 \mu\text{m}$ 。

9. 一种根据权利要求 7 的方法,其中所说的第二导电类型的隐埋区厚约 $1 \sim 2 \mu\text{m}$,距所说的半导体基片上表面约 $3 \sim 4.5 \mu\text{m}$,是以 $700 \sim 3000 \text{Kev}$ 的注入能量注入浓度为 $10^{16} \sim$

10^{18}cm^{-3} 第一导电类型的杂质而形成的。

10. 一种根据权利要求 7 的方法,其中所说的第一导电类型的第一阱区和第一导电类型的第二阱区深约 $1.0\sim 4.5\mu\text{m}$,其杂质浓度为 $10^{16}\sim 10^{18}\text{cm}^{-3}$ 。

11. 一种根据权利要求 7 的方法,其中所说的深槽约 $2\sim 6\mu\text{m}$ 。

12. 一种根据权利要求 7 的方法,其中所说的深槽元件隔离膜只形成在半导体存储器件的外围电路内。

说明书

半导体器件及其制造方法

本发明一般涉及一种半导体器件,特别涉及半导体器件的动作速度及其高集成化的改进。本发明还涉及制造该半导体器件的方法。

通常采用 CMOS(互补 MOS)晶体管作为半导体存储器件的外围电路,因为其功耗小、动作速度快。

关于 CMOS 晶体管的结构,首先在 P 型半导体基片中形成一 N 阱和一 P 阱。然后,在 N 阱的预定部位内形成另一 P 阱,以分别在 N 阱和 P 阱上建成一 P 型 MOSFET 和一 N 型 MOSFET。在 N 阱预定部位内形成 P 阱容许对 P 型半导体基片和对 P 阱施加不同的电压,这是由于 N 阱使 P 阱与 P 型基片电隔离。

为更好地了解本发明的技术背景,下面结合图 1 介绍制造半导体器件的常规方法。

首先,参照图 1A,该图表示利用 N 阱掩模的离子注入工艺。如该图所示,N 型杂质被注入到被覆以 N 型掩模的 P 型半导体基片 1 的预定面积,形成一 N 阱区域 2。

参照图 1B,采用 P 阱掩模,使 P 型杂质注入到 P 型基片 1 的邻近 N 阱区域 2 的预定面积和 N 阱区域内,分别形成比 N 阱区域浅的第一 P 阱区域 3A 和第二 P 阱区域 3B。

参照图 1C,在 N 阱区域 2 和第一 P 阱区域 3A 之间边界及 N 阱区域 2)和第二 P 阱区 3B 之间的边界通过 LOCOS(硅局部氧化)工艺形成隔离元件用的绝缘膜 4,在 P 型基片的预定表面上形成栅结构,它包括栅氧化膜 5 和栅电极 6,并进行离子注入处理。对 N 阱区域注入 P 型杂质,建立源/漏极 8,于是获得一 P 型 MOSFET。另一方面,使 N 型杂质注入到第一 P 阱区 3A 及第二 P 阱区域 3B,以建立源/漏极 7,于是得到 N 型 MOSFET。

然而,这种常规方法难以获得高集成化的半导体器件,因为用 LOCOS 工艺所形成的隔离元件的绝缘膜还有鸟嘴产生。此外,在 N 阱区域内的第二 P 阱区域,除 P 型杂质外还含有 N 型杂质,导致 N 型 MOSFET 的迁移率的退化。

所以,本发明的目的在于克服上述已有技术中所遇到的问题,提供宜于高集成化的半导体器件并改进 MOSFET 的迁移率。

本发明的另一目的在于提供制造该半导体器件的方法。

根据本发明的一个方案,所提供的一种半导体器件包括:一第一导电类型的半导体基片;在所说的半导体基片的预定面积内所形成的第二导电类型的阱区;第一导电类型的第一阱区和第一导电类型的第二阱区,每一所述阱区都形成在除所述半导体基片的第二导电类型的所述阱区的相对侧面 之外的位置上;深槽元件隔离膜,分别形成在所说的第二导电类型的阱区和所说的第一导电类型的第一阱区之间、在所说的第二导电类型的阱区和所说的第一导电类型的的

第二阱区之间、及在所说的第一导电类型的第二阱区和所说的第一导电类型的半导体基片之间的边界上；以及在所说的第一导电类型的第二阱区之下所形成的第二导电类型的隐埋区，用来使所说的第二阱区与所说的第一导电类型的半导体基片在电学上隔离。

根据本发明的另一方案，提供一种制造该半导体器件的方法，包括以下各步骤：刻蚀第一导电类型的半导体基片的预定面积，形成用于不同导电类型各阱区间隔离的深槽；用隔离膜填入隔离深槽，形成深槽元件隔离膜；用隔离膜填入隔离深槽，形成深槽元件隔离膜；在所说的半导体基片被所说的深槽割断的第一区段内形成第二导电类型的一个阱区；在所说的半导体基片的第二区段内形成第二导电类型的隐埋区，所说的第二区段邻近第一区段，但与之在电学上是隔离的；以及在所说的半导体基片的第三区段和所说的第二区段的隐埋区之上同时形成第一导电类型的第二阱区，所说的第三区段邻近第一区段，但与之在电学上是隔离的。

参照附图，通过对本发明的优选实施例的详细说明会更加明了本发明的上述目的和其它优点。

图 1A~1C 是表示制造含有 N 阱和 P 阱的常规半导体器件的工艺步骤的示意剖面图；及

图 2A~2D 是表示根据本发明制造含有 N 阱和 P 阱的半导体器件的工艺步骤的示意剖面图。

参照附图，对本发明优选实施例的用途会有更深的了解，图中相同的标号分别用来表示相同的对应部分。

图2表示制造半导体器件的优选工艺步骤。现结合附图2A~2D详细说明这些步骤。

首先,如图2A所示,在P型半导体基片11的预定部位内形成如约 $2.0\sim 6.0\mu\text{m}$ 深的深槽9,然后填以绝缘体如氧化膜或氮化膜,以建成深槽元件隔离膜10。如下文所述,每个深槽元件隔离膜介于CMOS的N阱和P阱之间,以达到使N阱与其它类型阱的绝缘之目的。采用光刻技术可使元件隔离膜形成得尽可能的窄。

其次,参照图2B,以150Kev的注入能量并经扩散处理使磷离子注入到被第二和第三深槽元件隔离膜10限定的面积,这对应于图1B中的除第二阱区3B以外的N阱区2,使浓度达到 10^{16}cm^{-3} ,形成深约 $1.5\sim 5.0\mu\text{m}$ 的N阱区12。然后,以 $700\sim 3,000\text{KeV}$ 的注入能量使N型杂质注入到由第一和第二深槽元件隔离膜10所限定的面积,使浓度达到如 $10^{16}\sim 10^{18}\text{cm}^{-3}$,形成距基片表面 $3\sim 4.5\mu\text{m}$ 深的约 $1\sim 2\mu\text{m}$ 厚的N型隐埋区12A。这个N型隐埋区使P型半导体基片与后面步骤形成的第二P阱电隔离。第一和第二深槽元件隔离膜10在该剖面图中看来好像是相互分开的,但实际上是相互连接的圆筒结构。

接着,参照图2C,使P型杂质注入到半导体基片11的预定面积,形成第一P阱区13A及N型隐埋区12A上面的第二P阱区13B。该P阱区13A是如此之浅,如 $1.0\sim 4.5\mu\text{m}$,以致不与N型隐埋区12A相接。该P阱区13B的深度与P阱区13A的深度相同。致于第一P阱区13A和第二P

阱 13B 的离子浓度可以相同,或可以相互不同,其浓度可达到约 $10^{16} \sim 10^{18} \text{cm}^{-3}$ 。其结果,使第二 P 阱区 13B 的 N 型杂质只有 $10/\text{cm}^3$ 之低,并靠 N 型隐埋区 12A 与半导体基片 11 电隔离,并进一步借助于深槽元件隔离膜 10 与相邻的 N 阱区 12 电隔离。

最后,参照图 2D,该图表示一 MOSFET 结构。对于存储器件的情况,在每一 P 阱区 13A 的表面预定部位形成一元件隔离膜 14,作为单元区域的元件隔离膜。在每个阱上建立一由栅氧化膜 15 和栅电极 16 构成的栅结构。此后,使 P 型杂质注入到 N 阱区 12 形成 P 型 MOSFET 的源/漏极 18。反之,使 N 型杂质注入到第一和第二 P 阱区 13A 和 13B,形成 N 型 MOSFET 的各自的源/漏极 17。

当然,根据本发明,在 N 阱的杂质类型与 P 阱的杂质类型相互交换的条件下,可以用 N 型半导体基片取代 P 型半导体基片。

如前文所述,根据本发明的半导体器件在 CMOS 的 N 阱和 P 阱之间的边界具有深槽元件隔离膜,无鸟嘴,有助于高集成化。在已有技术中,一 P 阱是在 N 阱内形成的,因而,在 P 阱内留有大量的 N 型杂质,降低了 N 型 MOSFET 的迁移率。相反,本发明在有深槽元件隔离膜的情况下,使 P 阱直接形成在 P 型半导体基片内,使得 N 型杂质变得尽可能的少,因此,提高了器件的动作速度。

对本领域的技术人员在阅读前文说明之后,会容易明了本文公开的本发明的其它特性、优点以及实施方案。就此而

论,虽然非常详细地说明了本发明的具体实施方案,在不脱离说明本所说明和权利要求和所请求保护的本发明的精神和范畴前提下,对本发明可做出各种变化和改型。

说明书附图

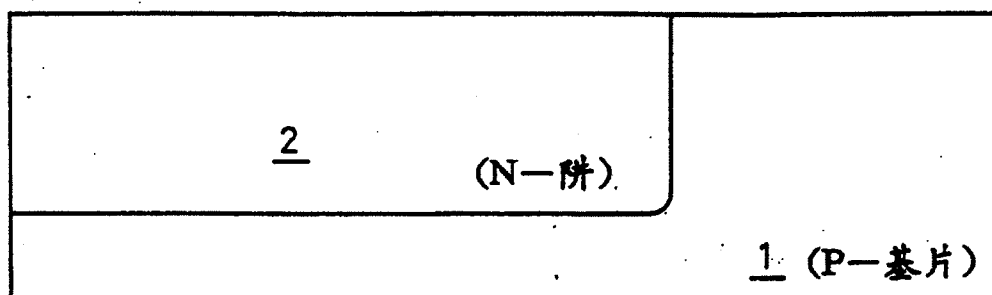


图 1A

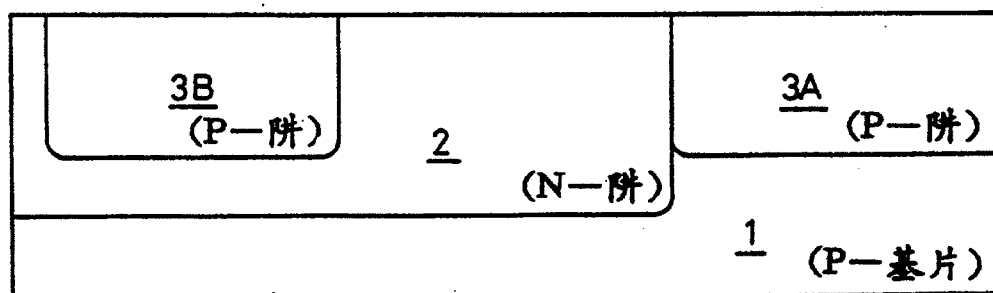


图 1B

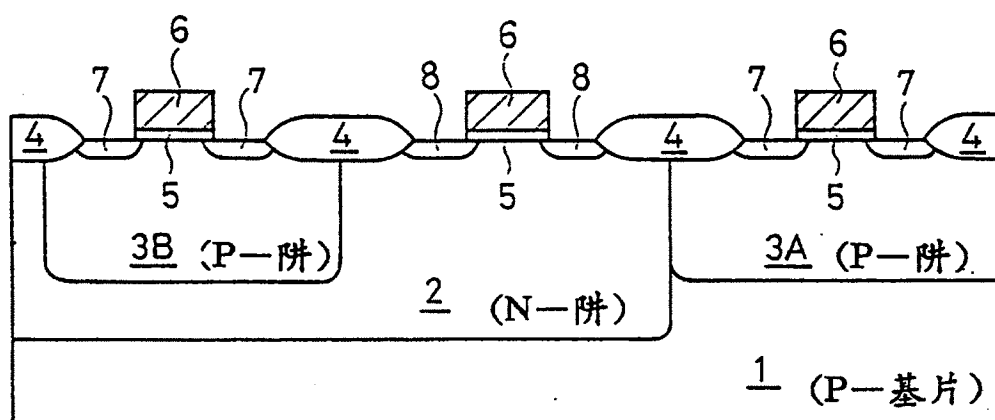


图 1C

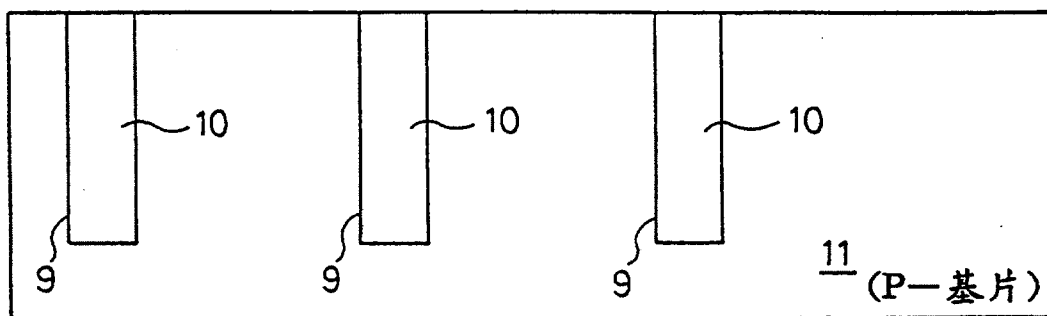


图 2A

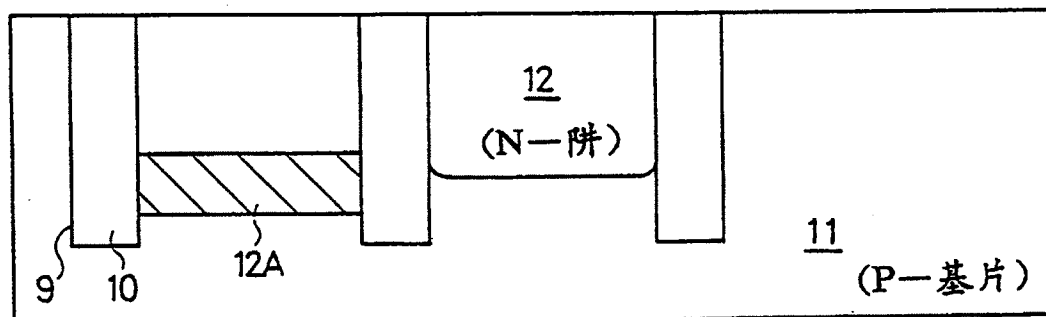


图 2B

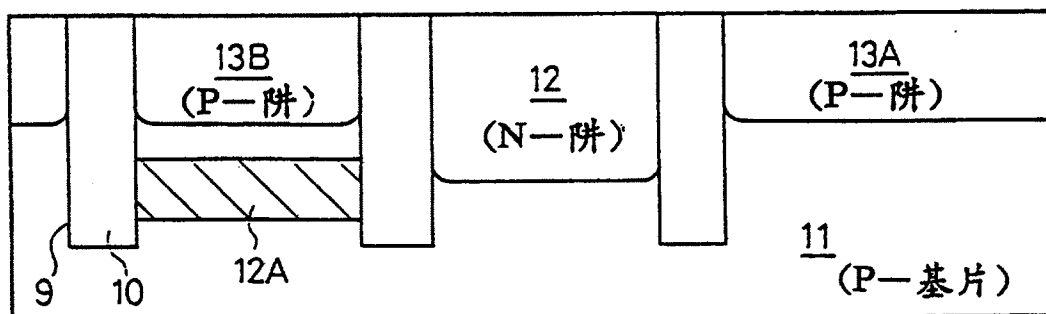


图 2C

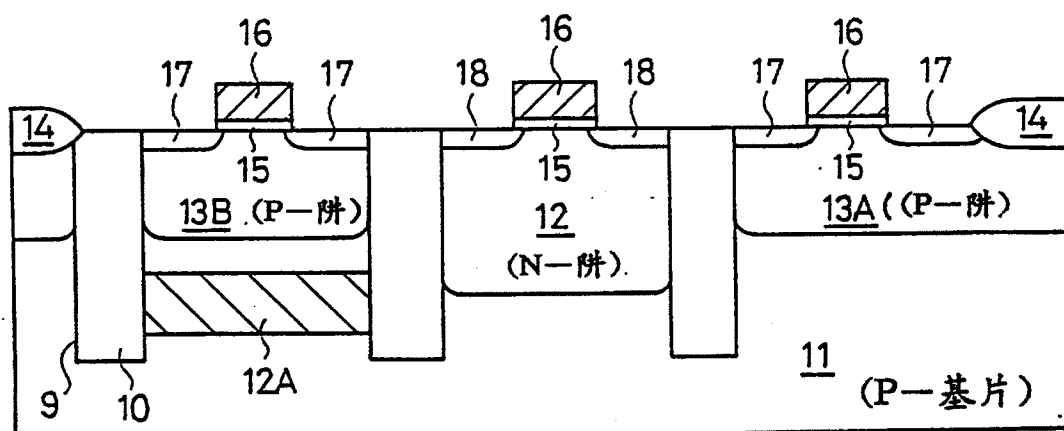


图 2D